

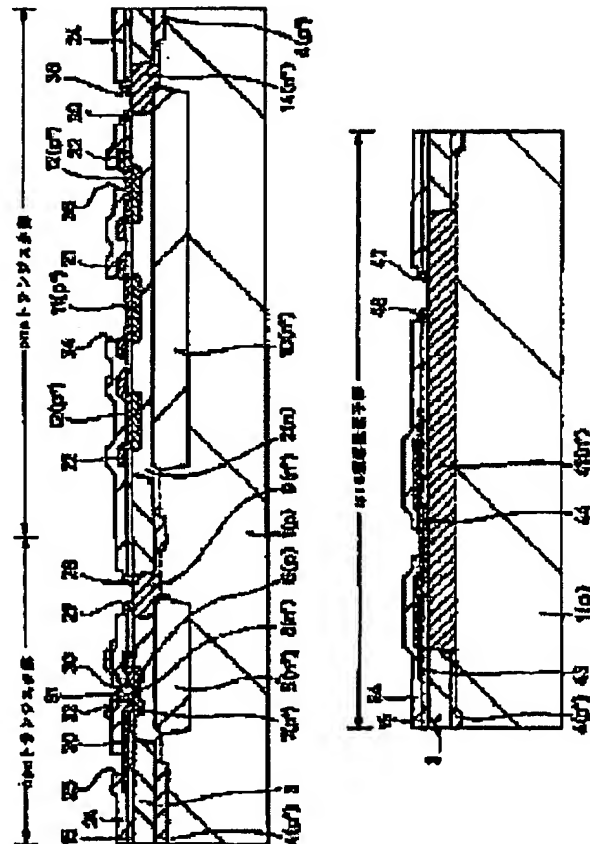
# SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

**Patent number:** JP2000031160  
**Publication date:** 2000-01-28  
**Inventor:** KURANOCHI ATSUSHI  
**Applicant:** SONY CORP  
**Classification:**  
 - international: H01L27/06; H01L21/8249; H01L21/331; H01L29/73;  
 H01L21/8222  
 - european:  
**Application number:** JP19980200458 19980715  
**Priority number(s):** JP19980200458 19980715

Report a data error here

## Abstract of JP2000031160

**PROBLEM TO BE SOLVED:** To prevent an interconnection material from intruding into the contact interface of a semiconductor layer and an insulation film by preventing open circuit of a barrier metal underlying the electrode of a bipolar transistor or an MIS type capacitive element. **SOLUTION:** An npn transistor, a pnp transistor and an MIS type capacitive element are fabricated on a semiconductor substrate 1, a side wall 28 is provided on the inner circumferential surface of an opening 27 made in the npn transistor on the semiconductor substrate 1, a side wall 39 is provided on the inner circumferential surface of an opening 38 made in the pnp transistor and a side wall 48 is provided on the inner circumferential surface of an opening 47 made in the MIS type capacitive element. A barrier metal is provided to cover the bottom face of the openings 27, 38, 47 and the wall face of the side walls 28, 39, 48 and electrodes are provided respectively on an overlying layer through the barrier metal.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-31160  
(P2000-31160A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)IntCl <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 L 21/331		H 0 1 L 29/72	5 F 0 0 3
29/73		27/06	1 0 1 U 5 F 0 4 8
21/8222			3 2 1 B 5 F 0 8 2
27/06			
21/8249			

審査請求 未請求 請求項の数23 O L (全 20 頁)

(21)出願番号	特願平10-200458	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年7月15日(1998.7.15)	(72)発明者	倉野内 厚志 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	100082762 弁理士 杉浦 正知

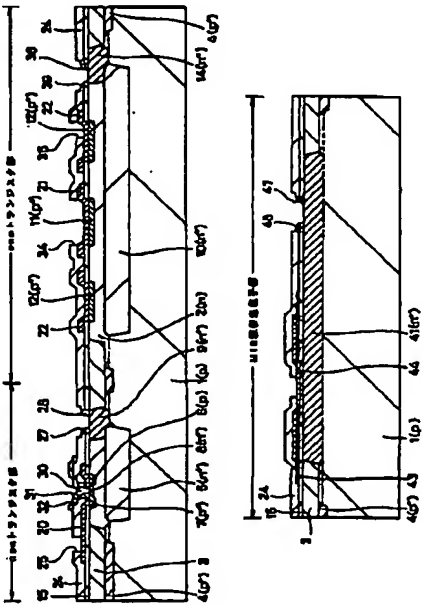
最終頁に続く

(54) [発明の名称] 半導体装置およびその製造方法

(57) [要約]

【課題】 バイポーラトランジスタやMIS型容量素子における電極の下層に設けられたバリア金属の断線を防止し、半導体層と絶縁膜との接触界面への配線材料の侵入を防止することができる半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板1上にnpnトランジスタ、pnpトランジスタおよびMIS型容量素子を有し、半導体基板1上のnpnトランジスタの開口27の内周面にサイドウォール28を設け、pnpトランジスタの開口38の内周面にサイドウォール39を設け、MIS型容量素子の開口47の内周面にサイドウォール48を設ける。それぞれの開口27、38、47の底面とそれぞれのサイドウォール28、39、48の壁面とを覆うようにバリア金属を設け、それらを介して、上層にそれぞれ電極を設ける。



(2)

特開2000-31160

1

【特許請求の範囲】

【請求項1】 半導体基板上に少なくともバイポーラトランジスタを有し、上記半導体基板上に設けられた絶縁膜に開口が形成され、上記開口にバリアメタルを介して導電膜が設けられている半導体装置において、上記開口の内周面にサイドウォールが設けられていることを特徴とする半導体装置。

【請求項2】 上記バイポーラトランジスタが縦型バイポーラトランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記縦型バイポーラトランジスタのコレクタ取り出し領域の上方に上記開口が形成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 上記縦型バイポーラトランジスタにおけるベース領域の上方の部分に形成された開口の内周面にサイドウォールが設けられ、上記ベース領域の上方に設けられたサイドウォールと、上記コレクタ取り出し領域の上方に設けられたサイドウォールとが同一の絶縁材料からなることを特徴とする請求項3記載の半導体装置。

【請求項5】 上記半導体基板上に縦型バイポーラトランジスタおよび横型バイポーラトランジスタが設けられ、上記縦型バイポーラトランジスタのコレクタ取り出し領域と、上記横型バイポーラトランジスタのベース取り出し領域との上方の部分にそれぞれ上記開口が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 上記コレクタ取り出し領域の上方に設けられたサイドウォールと、上記ベース取り出し領域の上方に設けられたサイドウォールとが同一の絶縁材料からなることを特徴とする請求項5記載の半導体装置。

【請求項7】 上記半導体基板上に縦型バイポーラトランジスタおよびMIS型容量素子が設けられ、上記縦型バイポーラトランジスタのコレクタ取り出し領域と、上記MIS型容量素子の下部電極領域との上方の部分にそれぞれ上記開口が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項8】 上記コレクタ取り出し領域の上方に設けられたサイドウォールと、上記下部電極領域の上方に設けられたサイドウォールとが同一の絶縁材料からなることを特徴とする請求項7記載の半導体装置。

【請求項9】 上記半導体基板上に縦型バイポーラトランジスタ、横型バイポーラトランジスタおよびMIS型容量素子が設けられ、上記縦型バイポーラトランジスタのコレクタ取り出し領域、上記横型バイポーラトランジスタのベース取り出し領域および上記MIS型容量素子の下部電極領域の上方の部分にそれぞれ上記開口が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項10】 半導体基板上に少なくともバイポーラトランジスタを有し、上記半導体基板上に設けられた絶縁膜に開口が形成され、上記開口にバリアメタルを介し

2

て導電膜が設けられている半導体装置の製造方法において、

上記開口の内周面にサイドウォールを形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項11】 上記開口を反応性イオンエッチング法により形成するようにしたことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 上記半導体基板上に縦型バイポーラトランジスタおよび横型バイポーラトランジスタが設けられ、上記縦型バイポーラトランジスタのコレクタ取り出し領域および上記横型バイポーラトランジスタのベース取り出し領域の上方の部分の上記絶縁膜にそれぞれ上記開口を形成し、それぞれの上記開口の内周面にそれぞれ上記サイドウォールを形成するようにしたことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】 上記半導体基板上に縦型バイポーラトランジスタおよびMIS型容量素子が設けられ、上記縦型バイポーラトランジスタのコレクタ取り出し領域および上記MIS型容量素子の下部電極領域の上方の部分の上記絶縁膜にそれぞれ上記開口を形成し、それぞれの上記開口の内周面にそれぞれ上記サイドウォールを形成するようにしたことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項14】 上記半導体基板上に、縦型バイポーラトランジスタ、横型バイポーラトランジスタおよびMIS型容量素子が設けられ、上記縦型バイポーラトランジスタのコレクタ取り出し領域、上記横型バイポーラトランジスタのベース取り出し領域および上記MIS型容量素子の下部電極領域の上方の部分の上記絶縁膜にそれぞれ上記開口を形成し、それぞれの上記開口の内周面にそれぞれ上記サイドウォールを形成するようにしたことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項15】 半導体基板上に縦型バイポーラトランジスタおよび横型バイポーラトランジスタを有する半導体装置の製造方法において、

上記半導体基板上に第1の絶縁膜を形成し、上記縦型バイポーラトランジスタのベース領域の形成領域の上方の部分の上記第1の絶縁膜に第1の開口を形成するとともに、上記横型バイポーラトランジスタのエミッタ領域の形成領域およびコレクタ領域の形成領域の上方の部分の上記第1の絶縁膜にそれぞれ第2の開口および第3の開口を形成する工程と、

上記第1の開口にベース取り出し電極を形成し、上記第2の開口にエミッタ取り出し電極を形成し、上記第3の開口にコレクタ取り出し電極を形成する工程と、

上記半導体基板上に第2の絶縁膜を形成し、上記縦型バイポーラトランジスタの上記ベース領域の形成領域の上方の部分に第4の開口を形成するとともに、上記縦型バイポーラトランジスタのコレクタ取り出し領域および上記横型バイポーラトランジスタのベース取り出し領域の

50

(3)

特開2000-31160

3

上方の部分の上記第2の絶縁膜に、それぞれ第5の開口および第6の開口を形成する工程と、  
 上記半導体基板上に第3の絶縁膜を形成し、上記第3の絶縁膜のエッチバックを行うことにより、上記第4の開口の内周面にサイドウォールを形成するとともに、上記第5の開口および上記第6の開口のそれぞれの内周面にそれぞれサイドウォールを形成する工程と、  
 上記縦型バイポーラトランジスタの上記ベース取り出し電極、上記横型バイポーラトランジスタの上記エミッタ取り出し電極および上記横型バイポーラトランジスタの上記コレクタ取り出し電極の上方の部分の上記第2の絶縁膜に、それぞれ接続孔を形成するとともに、上記コレクタ取り出し領域および上記ベース取り出し領域の上方の部分に、それぞれサイドウォールを形成しつつ、それぞれ接続孔を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 少なくとも、上記コレクタ取り出し領域および上記ベース取り出し領域の上方の部分の、上記サイドウォールの壁面および上記接続孔の底面を覆うようにしてバリアメタルを成膜した後、上記半導体基板上に膜電膜を形成するようにしたことを特徴とする請求項15記載の半導体装置の製造方法。

【請求項17】 上記エッチバックを反応性イオンエッチング法により行うようにしたことを特徴とする請求項15記載の半導体装置の製造方法。

【請求項18】 半導体基板上に、縦型バイポーラトランジスタおよびMIS型容量素子を有する半導体装置の製造方法において、

上記半導体基板上に第1の絶縁膜を形成し、上記縦型バイポーラトランジスタのベース領域の形成領域の上方の部分の上記第1の絶縁膜に第1の開口を形成する工程と、

上記第1の開口にベース取り出し電極を形成し、上記MIS型容量素子の上部電極領域に上部電極を形成する工程と、

上記半導体基板上に第2の絶縁膜を形成し、上記縦型バイポーラトランジスタの上記ベース領域の形成領域の上方の部分に第2の開口を形成するとともに、上記縦型バイポーラトランジスタのコレクタ取り出し領域および上記MIS型容量素子の下部電極領域の上方の部分の上記第2の絶縁膜に、それぞれ第3の開口および第4の開口を形成する工程と、

上記半導体基板上に第3の絶縁膜を形成し、上記第3の絶縁膜のエッチバックを行うことにより、上記第2の開口の内周面にサイドウォールを形成するとともに、上記第3の開口および上記第4の開口のそれぞれの内周面にそれぞれサイドウォールを形成する工程と、

上記縦型バイポーラトランジスタの上記ベース取り出し電極および上記MIS型容量素子の上記上部電極の上方の部分の上記第2の絶縁膜に、それぞれ接続孔を形成す

4

るとともに、上記コレクタ取り出し領域および上記下部電極領域の上方の部分にそれぞれサイドウォールを形成しつつ、それぞれ接続孔を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項19】 少なくとも上記コレクタ取り出し領域および上記下部電極領域の上方の部分の、上記サイドウォールの壁面および上記接続孔の底面を覆うようにしてバリアメタルを成膜した後、上記半導体基板上に導電膜を形成するようにしたことを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 上記エッチバックを反応性イオンエッチング法により行うようにしたことを特徴とする請求項18記載の半導体装置の製造方法。

【請求項21】 半導体基板上に、縦型バイポーラトランジスタ、横型バイポーラトランジスタおよびMIS型容量素子を有する半導体装置の製造方法において、

上記半導体基板上に第1の絶縁膜を形成し、上記縦型バイポーラトランジスタのベース領域の形成領域、上記横型バイポーラトランジスタのエミッタ領域の形成領域およびコレクタ領域の形成領域の上方の部分の上記第1の絶縁膜にそれぞれ第1の開口、第2の開口および第3の開口を形成する工程と、

上記第1の開口にベース取り出し電極を形成し、上記第2の開口にエミッタ取り出し電極を形成し、上記第3の開口にコレクタ取り出し電極を形成し、上記MIS型容量素子の上部電極領域に上部電極を形成する工程と、

上記半導体基板上に第2の絶縁膜を形成し、上記縦型バイポーラトランジスタの上記ベース領域の形成領域の上方の部分に第4の開口を形成するとともに、上記縦型バイポーラトランジスタのコレクタ取り出し領域、上記横型バイポーラトランジスタのベース取り出し領域および上記MIS型容量素子の下部電極領域の上方の部分の上記第2の絶縁膜に、それぞれ第5の開口、第6の開口および第7の開口を形成する工程と、

上記半導体基板上に第3の絶縁膜を形成し、上記第3の絶縁膜のエッチバックを行うことにより、上記第4の開口の内周面にサイドウォールを形成するとともに、上記第5の開口、上記第6の開口および上記第7の開口のそれぞれの内周面にそれぞれサイドウォールを形成する工程と、

上記縦型バイポーラトランジスタの上記ベース取り出し電極、上記横型バイポーラトランジスタの上記エミッタ取り出し電極、上記横型バイポーラトランジスタの上記コレクタ取り出し電極、および上記MIS型容量素子の上記上部電極の上方の部分の上記第2の絶縁膜にそれぞれ接続孔を形成するとともに、上記コレクタ取り出し領域、上記ベース取り出し領域および上記下部電極領域の上方の部分にそれぞれサイドウォールを形成しつつ、それぞれ接続孔を形成する工程とを有することを特徴とする半導体装置の製造方法。

50

(4)

特開 2000-31160

5

6

【請求項 22】 少なくとも上記コレクタ取り出し領域、上記ベース取り出し領域および上記下部電極領域の上方の部分、上記サイドウォールの壁面および上記接続孔の底面を覆うようにしてバリアメタルを成膜した後、上記半導体基板上に導電膜を形成するようにしたことを特徴とする請求項 21 記載の半導体装置の製造方法。

【請求項 23】 上記エッチバックを反応性イオンエッチング法により行うようにしたことを特徴とする請求項 21 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、ダブルポリシリコン構造の縦型バイポーラトランジスタと、横型トランジスタおよび／または M I S 型容量素子とが混載された半導体装置およびその製造に適用して好適なものである。

【0002】

【従来の技術】従来のダブルポリシリコン (S i) 構造の n p n バイポーラトランジスタについて、図 8 を参照して説明する。

【0003】図 8 に示すように、n p n バイポーラトランジスタ 101 においては、p 型の半導体基板 102 上に n 型エピタキシャル層 103 が成長されている。半導体基板 102 の上部には、n' 型のコレクタ埋め込み層 104 が、n 型エピタキシャル層 103 の下部にまたがって設けられている。また、n 型エピタキシャル層 103 には、n p n バイポーラトランジスタ 101 を他の素子と分離するための、LOCOS 法により形成された酸化物からなる素子分離領域 105 が設けられている。この素子分離領域 105 の下方には、半導体基板 102 に達する p' 型の素子分離拡散層 106 が設けられている。

【0004】また、n 型エピタキシャル層 103 の上部の素子分離領域 105 に囲まれた部分には p 型のベース層 107 が設けられており、このベース層 107 の両端には、p' 型のグラフトベース層 108 がこのベース層 107 に接続されて設けられている。また、ベース層 107 の上部には n' 型のエミッタ層 109 が設けられている。さらに、n 型エピタキシャル層 103 には、グラフトベース層 108 から間隔をおいた位置に、n' 型のプラグ拡散層 110 がコレクタ埋め込み層 104 と接続されて設けられている。

【0005】また、n 型エピタキシャル層 103 上には第 1 の酸化膜 111 が設けられており、この第 1 の酸化膜 111 のうちグラフトベース層 108 上の部分には、開口 112 が形成されている。第 1 の酸化膜 111 上には、開口 112 を通じてグラフトベース層 108 と接続された多結晶 S i 膜からなるベース取り出し電極 113 が設けられており、このベース取り出し電極 113 を覆

10

20

30

40

50

うようにして第 1 の酸化膜 111 上に第 2 の酸化膜 114 が設けられている。エミッタ層 109 上の第 2 の酸化膜 114 およびベース取り出し電極 113 の部分には開口 115 が形成されており、その内周面には酸化シリコン (S i O<sub>2</sub>) からなるサイドウォール 116 が設けられている。このサイドウォール 116 の内側はエミッタ開口部 117 となり、このエミッタ開口部 117 を通じて、エミッタ層 109 に接続されたエミッタ取り出し電極 118 が設けられている。また、このサイドウォール 116 により、ベース取り出し電極 113 とエミッタ取り出し電極 118 とが分離される。

【0006】さらに、第 2 の酸化膜 114 に形成された開口 119 を通じてベース取り出し電極 113 に接続されたベース電極 120 が設けられ、エミッタ取り出し電極 118 に接続されたエミッタ電極 121 が設けられ、第 2 の酸化膜 114 と第 1 の酸化膜 111 とに形成された開口 122 を通じてプラグ拡散層 110 に接続されたコレクタ電極 123 が設けられている。

【0007】次に、上述のように構成された従来の n p n バイポーラトランジスタ 101 の製造方法について説明する。

【0008】まず、半導体基板 102 の表面に選択的に n 型不純物を気相拡散させることにより、半導体基板 102 の上部に n' 型のコレクタ埋め込み層 104 を形成する。次に、エピタキシャル成長法により半導体基板 102 上に n 型エピタキシャル層 103 を成長させる。このエピタキシャル成長において、コレクタ埋め込み層 104 が n 型エピタキシャル層 103 の下部にまで拡散される。

【0009】次に、LOCOS 法により n 型エピタキシャル層 103 の上部に素子分離領域 105 を形成する。次に、n 型エピタキシャル層 103 のプラグ拡散層 110 を形成する領域に、選択的に n 型不純物をイオン注入した後、アニールを行うことにより、イオン注入された n 型不純物を n 型エピタキシャル層 103 中の部分に拡散させ、n' 型のプラグ拡散層 110 を形成する。

【0010】次に、全面エッチバックを行うことにより、n 型エピタキシャル層 103 および素子分離領域 105 の表面平坦化を行う。次に、素子分離領域 105 に選択的に p 型不純物をイオン注入した後、アニールを行うことにより、素子分離領域 105 の下方の部分に素子分離拡散層 106 を形成する。

【0011】次に、CVD 法により n 型エピタキシャル層 103 および素子分離領域 105 上に S i O<sub>2</sub> 膜からなる第 1 の酸化膜 111 を形成する。次に、反応性イオンエッチング (R I E) 法により、n 型エピタキシャル層 103 の表面が露出するまで、第 1 の酸化膜 111 を選択的にエッチングすることにより、開口 112 を形成する。

【0012】次に、CVD 法により第 1 の酸化膜 111

(5)

特開2000-31160

7

を覆うようにして全面に多結晶Si膜を形成した後、この多結晶Si膜にp型不純物をドーピングする。その後、この多結晶Si膜をRIE法によりパターンニングすることによって、ベース取り出し電極113を形成する。

【0013】次に、CVD法により第1の酸化膜111およびベース取り出し電極113を覆うようにして、全面にSiO<sub>2</sub>膜からなる第2の酸化膜114を形成する。その後、RIE法によりベース層107が形成される領域の上方の部分の第2の酸化膜114およびベース取り出し電極113を、選択的に順次エッチングすることにより開口115を形成する。次に、この開口115を通じて、n型エピタキシャル層103にp型不純物のBをイオン注入する。これにより、ベース層107が自己整合的に形成される。

【0014】次に、CVD法により全面を覆うようにして酸化膜を形成した後、アニールを行うことによって、ベース層107および素子分離拡散層106を活性化させるとともに、高不純物濃度のp型不純物を、ベース取り出し電極113からn型エピタキシャル層103中に拡散させることにより、ベース層107の両側に接続するようにp'型のグラフトベース層108を形成する。次に、全面エッチバックを行うことにより、上述の酸化膜の開口115の内周面の部分を残し、サイドウォール116を形成する。

【0015】次に、全面に多結晶Si膜を形成した後、この多結晶Si膜の全面にn型不純物をイオン注入する。次に、この多結晶Si膜上に、CVD法によりキャップ膜（図示せず）を形成した後、ファーネスアニール（Furnace Anneal）を行う。これにより、多結晶Si膜中の不純物がベース層107の上部に拡散され、n'型のエミッタ層109が形成されるとともに活性化される。また、同時にグラフトベース層108が活性化される。その後、ウェットエッチングを行うことによりキャップ層を除去する。

【0016】次に、リソグラフィ工程により多結晶Si膜上にエミッタ電極形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、RIE法により多結晶Si膜をエッチングすることにより、エミッタ取り出し電極116を形成する。その後、レジストパターンを除去する。

【0017】次に、リソグラフィ工程により、ベース取り出し電極113およびプラグ拡散層110の上方に開口を有するレジストパターンを形成した後、このレジストパターンをマスクとして第2の酸化膜114および第1の酸化膜111を順次エッチングすることにより、ベース取り出し電極113の上方の部分の第2の酸化膜114に開口119を形成するとともに、コレクタ拡散層110の上方の部分の第1の酸化膜110および第2の酸化膜114に開口122を形成する。その後、レジストパターンを除去する。

8

【0018】次に、スパッタリング法により、バリアメタルおよびアルミニウム（Al）を順次成膜することにより、バリアメタルとAlとの積層膜を形成した後、この積層膜を電極形状にパターンニングすることにより、ベース電極120、エミッタ電極121、コレクタ電極123を形成する。

【0019】その後、従来公知の方法により配線やパッシベーション膜（図示せず）などを形成し、所望のnpnバイポーラトランジスタ101が製造される。

10 【0020】

【発明が解決しようとする課題】しかしながら、上述の従来のnpnバイポーラトランジスタ101において、次のような問題があった。

【0021】すなわち、上述したように、図8に示すnpnバイポーラトランジスタ101の製造においては、素子の微細化を目的として、全ての絶縁膜の加工をRIE法により行っている。このように、絶縁膜の加工をRIE法により行くと、その加工の際に反応生成物が発生する。そこで、この反応生成物を除去する目的で等方性のイオンエッチングが行われる。また、RIE法によるエッチングの際に生じる損傷を除去する目的で、Si表面のウェットエッチングを行うといった処理も施される。

【0022】ところが、これらの等方性のイオンエッチングやウェットエッチングにより、SiとSiO<sub>2</sub>との界面にアンダーエッチングが入るといった現象が生じてしまう。この現象は、第1の酸化膜111と第2の酸化膜114が積層されてSiO<sub>2</sub>膜がもっとも厚くなるコレクタ領域において、特に問題となる。このコレクタ領域においては、その上層に形成されるバリアメタルやAl配線層のカバレッジがもともと悪い上に、アンダーエッチングの影響をも受けてしまうため、図9Aに示すように、コレクタ電極123の下層のバリアメタル123aが断線を起こしてしまう（図9A中、囲み部）。

【0023】また、図9Bに示すように、Al配線層の形成後の熱処理によって、バリアメタル123aの断線箇所の近傍におけるSi（n型エピタキシャル層103）とSiO<sub>2</sub>膜（第1の酸化膜111）との接触界面に配線材料のAlが侵入する、いわゆるAlスパイクが起こってしまう（図9B中、囲み部）。そして、このAlスパイクによって、npnバイポーラトランジスタ101において、コレクタ領域とベース領域との間が短絡（ショート）してしまうといった問題が生じていた。

【0024】また、このような問題は、上述のnpnバイポーラトランジスタと、横型pnptランジスタやMIS型容量素子とを同一の半導体基板102上に混載した場合にも、それらの横型pnptランジスタやMIS型容量素子において同様に生じていた。

【0025】すなわち、横型pnptランジスタにおいては、ベース領域の近傍における半導体基板102とS

50

9

SiO<sub>2</sub>膜との接触界面でAlスパイクが生じ、MIS型容量素子においては、下部取り出し電極領域の近傍における半導体基板102とSiO<sub>2</sub>膜との接触界面でAlスパイクが生じていた。

【0026】したがって、この発明の目的は、バイポーラトランジスタの電極の下層に設けられたバリアメタルのカバレッジを向上させ、このバリアメタルの断線を防止することによって、半導体層と絶縁膜との接触界面への電極の配線材料の侵入、およびこれによる短絡を防止することができ、高性能で高信頼性の半導体装置を得ることができる半導体装置およびその製造方法を提供することにある。

【0027】また、この発明の他の目的は、縦型バイポーラトランジスタと、横型バイポーラトランジスタおよびMIS型容量素子の少なくとも一方の素子とが同一の半導体基板上に混載された場合において、バイポーラトランジスタと、横型バイポーラトランジスタおよびMIS型容量素子の少なくとも一方の素子における電極の下層に設けられたバリアメタルのカバレッジを向上させ、これらのバリアメタルの断線を防止することによって、半導体層と絶縁膜との接触界面への配線材料の侵入、およびこれによる短絡を防止することができ、高性能で高信頼性の半導体装置を得ることができる半導体装置の製造方法を提供することにある。

【0028】

【課題を解決するための手段】目的を達成するために、この発明の第1の発明は、半導体基板上に少なくともバイポーラトランジスタを有し、半導体基板上に設けられた絶縁膜に開口が形成され、開口にバリアメタルを介して導電膜が設けられている半導体装置において、開口の内周面にサイドウォールが設けられていることを特徴とするものである。

【0029】この第1の発明において、典型的には、バイポーラトランジスタは縦型バイポーラトランジスタである。また、この第1の発明において、典型的には、縦型バイポーラトランジスタのコレクタ取り出し領域の上方に開口が形成されており、好適には、この開口の内周面にバリアメタルのカバレッジを向上させるためのサイドウォールが設けられている。また、この第1の発明において、ベース取り出し電極とエミッタ取り出し電極とを分離するために、典型的には、縦型バイポーラトランジスタのベース領域の上方の部分に形成された開口の内周面にサイドウォールが設けられる。また、この第1の発明において、好適には、ベース領域の上方に設けられたサイドウォールと、コレクタ取り出し領域の上方に設けられたサイドウォールとは同一の絶縁材料からなる。また、絶縁材料は、典型的には、酸化シリコン(SiO<sub>2</sub>)系の絶縁材料であるが、その他の絶縁材料であってもよい。

【0030】この第1の発明において、好適には、半導

(6)

特開2000-31160

10

体基板上に縦型バイポーラトランジスタおよび横型バイポーラトランジスタが設けられ、縦型バイポーラトランジスタのコレクタ取り出し領域と、横型バイポーラトランジスタのベース取り出し領域との上方の部分にそれぞれ開口が形成されており、これらの開口の内周面に、それぞれ、バリアメタルのカバレッジを向上させるためのサイドウォールが設けられている。また、この第1の発明において、好適には、コレクタ取り出し領域の上方に設けられたサイドウォールとベース取り出し領域の上方に設けられたサイドウォールとは同一の絶縁材料からなる。

【0031】この第1の発明において、好適には、半導体基板上に縦型バイポーラトランジスタおよびMIS型容量素子が設けられ、縦型バイポーラトランジスタのコレクタ取り出し領域と、MIS型容量素子の下部電極領域との上方の部分にそれぞれ開口が形成されており、これらの開口の内周面に、それぞれ、バリアメタルのカバレッジを向上させるためのサイドウォールが設けられている。また、この第1の発明において、好適には、コレクタ取り出し領域の上方に設けられたサイドウォールと下部電極領域の上方に設けられたサイドウォールとは同一の絶縁材料からなる。

【0032】この第1の発明において、より好適には、半導体基板上に縦型バイポーラトランジスタ、横型バイポーラトランジスタおよびMIS型容量素子が設けられ、縦型バイポーラトランジスタのコレクタ取り出し領域、横型バイポーラトランジスタのベース取り出し領域およびMIS型容量素子の下部電極領域の上方にそれぞれ開口が形成されており、これらの開口の内周面に、それぞれ、バリアメタルのカバレッジを向上させるためのサイドウォールが設けられている。また、この第1の発明において、コレクタ取り出し領域、ベース取り出し領域および下部電極領域の上方に設けられたサイドウォールはそれぞれ互いに同一の絶縁材料からなる。

【0033】この発明の第2の発明は、半導体基板上に少なくともバイポーラトランジスタを有し、半導体基板上に設けられた絶縁膜に開口が形成され、開口にバリアメタルを介して導電膜が設けられている半導体装置の製造方法において、開口の内周面にサイドウォールを形成するようにしたことを特徴とするものである。

【0034】この第2の発明において、典型的には、開口を反応性イオンエッチング法により形成する。

【0035】この第2の発明において、好適には、半導体基板上に縦型バイポーラトランジスタおよび横型バイポーラトランジスタが設けられ、縦型バイポーラトランジスタのコレクタ取り出し領域および横型バイポーラトランジスタのベース取り出し領域の上方の部分の絶縁膜にそれぞれ開口を形成し、それぞれの開口の内周面にそれぞれサイドウォールを形成する。

【0036】この第2の発明において、好適には、半導

50



11

体基板上に縦型バイポーラトランジスタおよびMIS型容量素子が設けられ、縦型バイポーラトランジスタのコレクタ取り出し領域およびMIS型容量素子の下部電極領域の上方の部分の絶縁膜にそれぞれ開口を形成し、それぞれの開口の内周面にそれぞれサイドウォールを形成する。

【0037】この第2の発明において、好適には、半導体基板上に、縦型バイポーラトランジスタ、横型バイポーラトランジスタおよびMIS型容量素子が設けられ、縦型バイポーラトランジスタのコレクタ取り出し領域、横型バイポーラトランジスタのベース取り出し領域およびMIS型容量素子の下部電極領域の上方の部分の絶縁膜にそれぞれ開口を形成し、それぞれの開口の内周面にそれぞれサイドウォールを形成する。

【0038】この発明の第3の発明は、半導体基板上に縦型バイポーラトランジスタおよび横型バイポーラトランジスタを有する半導体装置の製造方法において、半導体基板上に第1の絶縁膜を形成し、縦型バイポーラトランジスタのベース領域の形成領域の上方の部分の第1の絶縁膜に第1の開口を形成するとともに、横型バイポーラトランジスタのエミッタ領域の形成領域およびコレクタ領域の形成領域の上方の部分の第1の絶縁膜にそれぞれ第2の開口および第3の開口を形成する工程と、第1の開口にベース取り出し電極を形成し、第2の開口にエミッタ取り出し電極を形成し、第3の開口にコレクタ取り出し電極を形成する工程と、半導体基板上に第2の絶縁膜を形成し、縦型バイポーラトランジスタのベース領域の形成領域の上方の部分に第4の開口を形成するとともに、縦型バイポーラトランジスタのコレクタ取り出し領域および横型バイポーラトランジスタのベース取り出し領域の上方の部分の第2の絶縁膜に、それぞれ第5の開口および第6の開口を形成する工程と、半導体基板上に第3の絶縁膜を形成し、第3の絶縁膜のエッチバックを行うことにより、第4の開口の内周面にサイドウォールを形成するとともに、第5の開口および第6の開口のそれぞれの内周面にそれぞれサイドウォールを形成する工程と、縦型バイポーラトランジスタのベース取り出し電極、横型バイポーラトランジスタのエミッタ取り出し電極および横型バイポーラトランジスタのコレクタ取り出し電極の上方の部分の第2の絶縁膜に、それぞれ接続孔を形成するとともに、コレクタ取り出し領域およびベース取り出し領域の上方の部分に、それぞれサイドウォールを形成しつつ、それぞれ接続孔を形成する工程とを有することを特徴とするものである。

【0039】この発明の第4の発明は、半導体基板上に、縦型バイポーラトランジスタおよびMIS型容量素子を有する半導体装置の製造方法において、半導体基板上に第1の絶縁膜を形成し、縦型バイポーラトランジスタのベース領域の形成領域の上方の部分の第1の絶縁膜に第1の開口を形成する工程と、第1の開口にベース取

(7)

特開2000-31160

12

り出し電極を形成し、MIS型容量素子の上部電極領域に上部電極を形成する工程と、半導体基板上に第2の絶縁膜を形成し、縦型バイポーラトランジスタのベース領域の形成領域の上方の部分に第2の開口を形成するとともに、縦型バイポーラトランジスタのコレクタ取り出し領域およびMIS型容量素子の下部電極領域の上方の部分の第2の絶縁膜に、それぞれ第3の開口および第4の開口を形成する工程と、半導体基板上に第3の絶縁膜を形成し、第3の絶縁膜のエッチバックを行うことにより、第2の開口の内周面にサイドウォールを形成するとともに、第3の開口および第4の開口のそれぞれの内周面にそれぞれサイドウォールを形成する工程と、縦型バイポーラトランジスタのベース取り出し電極およびMIS型容量素子の上部電極の上方の部分の第2の絶縁膜に、それぞれ接続孔を形成するとともに、コレクタ取り出し領域および下部電極領域の上方の部分にそれぞれサイドウォールを形成しつつ、それぞれ接続孔を形成する工程とを有することを特徴とするものである。

【0040】この発明の第5の発明は、半導体基板上に、縦型バイポーラトランジスタ、横型バイポーラトランジスタおよびMIS型容量素子を有する半導体装置の製造方法において、半導体基板上に第1の絶縁膜を形成し、縦型バイポーラトランジスタのベース領域の形成領域、横型バイポーラトランジスタのエミッタ領域の形成領域およびコレクタ領域の形成領域の上方の部分の第1の絶縁膜にそれぞれ第1の開口、第2の開口および第3の開口を形成する工程と、第1の開口にベース取り出し電極を形成し、第2の開口にエミッタ取り出し電極を形成し、第3の開口にコレクタ取り出し電極を形成し、MIS型容量素子の上部電極領域に上部電極を形成する工程と、半導体基板上に第2の絶縁膜を形成し、縦型バイポーラトランジスタのベース領域の形成領域の上方の部分に第4の開口を形成するとともに、縦型バイポーラトランジスタのコレクタ取り出し領域、横型バイポーラトランジスタのベース取り出し領域およびMIS型容量素子の下部電極領域の上方の部分の第2の絶縁膜に、それぞれ第5の開口、第6の開口および第7の開口を形成する工程と、半導体基板上に第3の絶縁膜を形成し、第3の絶縁膜のエッチバックを行うことにより、第4の開口の内周面にサイドウォールを形成するとともに、第5の開口、第6の開口および第7の開口のそれぞれの内周面にそれぞれサイドウォールを形成する工程と、縦型バイポーラトランジスタのベース取り出し電極、横型バイポーラトランジスタのエミッタ取り出し電極、横型バイポーラトランジスタのコレクタ取り出し電極、およびMIS型容量素子の上部電極の上方の部分の第2の絶縁膜にそれぞれ接続孔を形成するとともに、コレクタ取り出し領域、ベース取り出し領域および下部電極領域の上方の部分にそれぞれサイドウォールを形成しつつ、それぞれ接続孔を形成する工程とを有することを特徴とするもの



13

である。

【0041】これらの第3の発明、第4の発明および第5の発明において、典型的には、第3の絶縁膜のエッチバックを反応性イオンエッチング法により行う。

【0042】これらの第3の発明、第4の発明および第5の発明において、典型的には、少なくとも、縦型バイポーラトランジスタのコレクタ取り出し領域と、横型バイポーラトランジスタのベース取り出し領域および／またはMIS型容量素子の下部電極領域との上方の部分の、サイドウォールの壁面および接続孔の底面を覆うようにしてバリアメタルを成膜した後、半導体基板上に導電膜を形成する。

【0043】上述のように構成されたこの発明の第1および第2の発明によれば、バイポーラトランジスタにおいて、バリアメタルを介して電極が設けられた開口の内周面にサイドウォールを形成するようにしていることにより、バリアメタルのカバレッジの向上を図ることができ、このバリアメタルの断線を防止することができる。

【0044】上述のように構成されたこの発明の第3、第4および第5の発明によれば、縦型バイポーラトランジスタのコレクタ取り出し領域と、横型バイポーラトランジスタのベース取り出し領域および／またはMIS型容量素子の下部電極領域との上方の部分にそれぞれサイドウォールを形成しつつ、それぞれ接続孔を形成するようにしていることにより、その上層に形成されるバリアメタルのカバレッジの向上を図ることができ、このバリアメタルの断線を防止することができる。

【0045】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。なお、以下の一実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0046】まず、この発明の一実施形態による半導体装置について説明する。図1はこの一実施形態による縦型npnバイポーラトランジスタ（以下、npnトランジスタ）および横型pnpバイポーラトランジスタ（以下、pnpトランジスタ）を示し、図2はこの一実施形態によるMIS型容量素子を示す。なお、図1に示すnpnトランジスタおよびpnpトランジスタと図2に示すMIS型容量素子とは同一の半導体基板上に混載されたものである。また、この一実施形態によるnpnトランジスタはダブルポリSi構造を有したものである。

【0047】図1に示すように、この一実施形態によるnpnトランジスタおよびpnpトランジスタにおいては、p型のSi基板などの半導体基板1上に例えばSiからなるn型エピタキシャル層2が成長されている。このn型エピタキシャル層2には、npnトランジスタとpnpトランジスタとを互いに分離するとともに、これらと後述するMIS型容量素子などの他の素子とを分離するための素子分離領域3が設けられている。また、こ

(8)

特開2000-31160

14

の素子分離領域3の下部には半導体基板1に達するp<sup>+</sup>型の素子分離拡散層4が設けられている。

【0048】また、npnトランジスタ部における半導体基板1の上部には、n<sup>+</sup>型のコレクタ埋め込み層5がn型エピタキシャル層2の下部にまたがって設けられている。また、npnトランジスタ部におけるn型エピタキシャル層2の上部にはp型のベース層6が設けられており、このベース層6にその両側で接続されたp<sup>+</sup>型のグラフトベース層7が設けられている。また、ベース層6の上部にはn<sup>+</sup>型のエミッタ層8が設けられている。また、npnトランジスタ部におけるn型エピタキシャル層2には、グラフトベース層7から間隔をおいた位置に、コレクタ埋め込み層5に接続されてn<sup>+</sup>型のブラグ拡散層9が設けられている。

【0049】一方、pnpトランジスタ部における半導体基板1の上部には、n<sup>+</sup>型の埋め込み層10がn型エピタキシャル層2の下部にまたがって設けられている。また、pnpトランジスタ部におけるn型エピタキシャル層2の上部には、p型のエミッタ層11が設けられているとともに、このエミッタ層11から間隔をおいた位置にコレクタ層12が設けられている。また、pnpトランジスタ部におけるn型エピタキシャル層2には、コレクタ層12から間隔をおいた位置に、埋め込み層10に接続されてn<sup>+</sup>型のブラグ拡散層14が設けられている。

【0050】また、n型エピタキシャル層2上の全面に、例えばSiO<sub>2</sub>からなる第1の酸化膜15が設けられている。この第1の酸化膜15には、npnトランジスタ部におけるベース層6およびグラフトベース層7の上方に開口16が形成されているとともに、pnpトランジスタ部におけるエミッタ層11、コレクタ層12の上方にそれぞれ開口17、18が形成されている。また、この第1の酸化膜15上には、npnトランジスタ部における開口16を通じてグラフトベース層7に接続されたベース取り出し電極20が設けられているとともに、pnpトランジスタ部における開口17を通じてエミッタ層11に接続されたエミッタ取り出し電極21、および開口18を通じてコレクタ層12に接続されたコレクタ取り出し電極22が設けられている。これらのベース取り出し電極20、エミッタ取り出し電極21、およびコレクタ取り出し電極22は、それぞれ例えば不純物がドーブされた多結晶Si膜からなる。

【0051】また、これらのベース取り出し電極20、エミッタ取り出し電極21、およびコレクタ取り出し電極22を覆うようにして全面に例えばSiO<sub>2</sub>膜などの第2の酸化膜24が設けられている。

【0052】また、npnトランジスタ部におけるベース取り出し電極の上方の部分の第2の酸化膜24にはベースコンタクトホール25が形成されている。そして、このベースコンタクトホール25を通じて、A1膜の下

15

層にバリアメタル26aが設けられた積層構造のベース電極26が、ベース取り出し電極20に接続されて設けられている。

【0053】また、npnトランジスタ部におけるプラグ拡散層9の上方の部分の第2の酸化膜24には開口27が形成されている。この開口27の内周面を含んだ部分にはサイドウォール28が形成されている。そして、このサイドウォール28の内側を通じて、A1膜の下層にバリアメタル29aが設けられた積層構造のコレクタ電極29が、プラグ拡散層9に接続されて設けられている。

【0054】また、npnトランジスタ部におけるベース層6上の部分のベース取り出し電極20および第2の酸化膜24には開口30が形成されている。この開口30の内周面には例えばSiO<sub>2</sub>膜からなるサイドウォール31が設けられている。このサイドウォール31はベース取り出し電極20と後述するエミッタ取り出し電極とを分離するためのものである。このサイドウォール31の内側はエミッタ開口部となり、その下方のベース層6の上部にエミッタ層8が設けられている。また、このエミッタ開口部を通じて、例えば不純物がドーパされた多結晶Si膜からなるエミッタ取り出し電極32がエミッタ層8に接続されて設けられており、その上層に、例えばバリアメタル33aとA1とが順次成膜された積層膜からなるエミッタ電極33が設けられている。

【0055】また、pnpトランジスタ部におけるエミッタ取り出し電極21上の部分の第2の酸化膜24にはエミッタコンタクトホール34が形成されており、このエミッタコンタクトホール34を通じて、A1膜の下層にバリアメタル35aが設けられた積層構造のエミッタ電極35が、エミッタ取り出し電極21に接続されて設けられている。

【0056】また、pnpトランジスタ部におけるコレクタ取り出し電極23上の部分の第2の酸化膜24にはコレクタコンタクトホール36が形成されており、このコレクタコンタクトホール36を通じて、A1膜の下層にバリアメタル37aが設けられた積層構造のコレクタ電極37が、コレクタ取り出し電極23に接続されて設けられている。

【0057】また、pnpトランジスタ部におけるプラグ拡散層14の上方の部分の第2の酸化膜24には開口38が形成されている。この開口38の内周面を含んだ部分には例えばSiO<sub>2</sub>膜からなるサイドウォール39が設けられている。このサイドウォール39の内側はベースコンタクトホールとなる。そして、このベースコンタクトホールを通じて、A1膜の下層にバリアメタル40aが設けられた積層構造のベース電極40が、プラグ拡散層14に接続されて設けられている。

【0058】以上のように、半導体基板1上にnpnトランジスタおよびpnpトランジスタが混載されて設け

(9)

特開2000-31160

16

られている。

【0059】次に、上述のnpnトランジスタおよびpnpトランジスタとともに半導体基板1上に混載されるMIS型容量素子について説明する。

【0060】図2に示すように、この一実施形態によるMIS型容量素子においては、上述したように、半導体基板1上にn型エピタキシャル層2が成長されており、n型エピタキシャル層2には素子分離領域3および素子分離拡散層4が設けられている。

【0061】また、MIS型容量素子部におけるn型エピタキシャル層2の素子分離領域3に囲まれた領域には、n<sup>+</sup>型の下部電極拡散層41が設けられている。

【0062】また、n型エピタキシャル層2上には第1の酸化膜15が設けられており、下部電極拡散層41上の部分の第1の酸化膜15には開口42が形成されている。また、第1の酸化膜15上には、この開口42を覆うようにして、例えば窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜からなる所定パターンの絶縁膜43が設けられている。ここで、この絶縁膜43の膜厚は例えば10～50nmである。また、この絶縁膜43上には、例えば不純物がドーパされた多結晶Si膜からなる所定パターンの上部電極44が設けられている。

【0063】また、これらの第1の酸化膜15、絶縁膜43および上部電極44を覆うようにして、第2の酸化膜24が設けられている。また、上部電極44の上方の部分の第2の酸化膜24にはコンタクトホール45が設けられており、このコンタクトホール45を通じて、A1膜の下層にバリアメタル48aが設けられた積層構造の上部取り出し電極46が、上部電極44に接続されて設けられている。

【0064】また、下部電極拡散層41の上方の部分の第2の酸化膜には、上部電極44と間隔をおいた位置に開口47が形成されており、この開口47の内周面を含んだ部分に例えばSiO<sub>2</sub>膜からなるサイドウォール48が形成されている。また、このサイドウォール48の内側を通じて、A1からなる下部取り出し電極49が、下層のバリアメタル49aを介して下部電極拡散層41に接続されて設けられている。

【0065】以上のようにして、MIS型容量素子が構成されている。

【0066】次に、上述のように構成されたnpnトランジスタ、pnpトランジスタおよびMIS型容量素子が混載された、この一実施形態による半導体装置の製造方法について説明する。すなわち、まず、図3に示すように、p型の半導体基板1に例えばPなどのn型不純物を選択的にイオン注入し、さらにアニールを行うことにより、npnトランジスタ部においてコレクタ埋め込み層5を形成するとともに、pnpトランジスタ部において埋め込み層10を形成する。

【0067】次に、エピタキシャル成長法により、半導

50

(10)

特開2000-31160

17

18

体基板1上にn型エピタキシャル層2を成長させる。なお、このエピタキシャル成長において、コレクタ埋め込み層5および埋め込み層10がn型エピタキシャル層2の下部にまで拡散される。

【0068】次に、例えばLOCOS法によりn型エピタキシャル層2の部分に素子分離領域3を形成した後、npnトランジスタ部のブラグ拡散層9の形成領域、pnpトランジスタ部のブラグ拡散層14の形成領域およびMIS型容量素子部の下部電極拡散層41の形成領域に、例えばPなどのn型不純物を選択的にイオン注入する。次に、アニールを行い、イオン注入されたn型不純物をn型エピタキシャル層2中の部分に拡散させることによって、そのnpnトランジスタ部およびpnpトランジスタ部にそれぞれn<sup>+</sup>型のブラグ拡散層9、14を形成するとともに、MIS型容量素子部に下部電極拡散層41を形成する。

【0069】次に、全面エッチバックを行うことにより、n型エピタキシャル層2および素子分離領域3の表面平坦化を行う。その後、素子分離領域3に選択的に例えばB<sup>+</sup>などのp型不純物をイオン注入することにより、素子分離領域3の下方の部分にp<sup>+</sup>型の素子分離拡散層4を形成する。

【0070】次に、例えばCVD法により、n型エピタキシャル層2および素子分離領域3上の全面に第1の酸化膜15を形成した後、リソグラフィ工程により、第1の酸化膜15上に所定形状のレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、例えばRIE法により、MIS型容量素子部における第1の酸化膜15の所定部分をエッチングすることによって、開口42を形成する。

【0071】次に、例えばCVD法によりMIS型容量素子部における開口42を覆うようにして、第1の酸化膜15上に例えばSi、N、膜からなる絶縁膜43を形成した後、例えばRIE法によりこの絶縁膜43を所定形状にパターンニングする。

【0072】次に、全面に、npnトランジスタ部のグラフトベース層7の形成領域、pnpトランジスタ部のエミッタ層11の形成領域、およびコレクタ層12の形成領域に開口を有するレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして例えばRIE法により第1の酸化膜15のエッチングを行う。これによって、npnトランジスタ部における第1の酸化膜15に開口16を形成するとともに、pnpトランジスタ部における第1の酸化膜15に開口17、18を形成する。その後、レジストパターンを除去する。

【0073】次に、例えばCVD法により、それぞれの開口16、17、18に埋め込むようにして、第1の酸化膜15上の全面に多結晶Si膜を形成する。その後、多結晶Si膜の全面に例えばB<sup>+</sup>や二フッ化ホウ素(BF<sub>3</sub>)などのp型不純物をイオン注入する。ここで、

このイオン注入におけるイオン注入条件は、イオン注入エネルギーを例えば20~100keVとし、ドーズ量を例えば $1 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ とする。

【0074】次に、多結晶Si膜上に所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして例えばRIE法によりエッチングすることにより、npnトランジスタ部においてベース取り出し電極20を形成し、pnpトランジスタ部においてエミッタ取り出し電極21およびコレクタ取り出し電極22を形成し、MIS型容量素子部において上部電極44を形成する。

【0075】次に、図4に示すように、例えばCVD法により、npnトランジスタ部のベース取り出し電極20、pnpトランジスタ部のエミッタ取り出し電極21、コレクタ取り出し電極22、およびMIS型容量素子部の上部電極44を覆うようにして、全面に、例えばSiO<sub>2</sub>膜からなる第2の酸化膜24を形成する。

【0076】次に、第2の酸化膜24上に、所定部分に開口を有するレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばRIE法により、npnトランジスタ部における第2の酸化膜24およびベース取り出し電極20を順次エッチングすることにより開口30を形成するとともに、ブラグ拡散層9の上方の部分の第2の酸化膜24に開口50を形成する。これと同時に、pnpトランジスタ部におけるブラグ拡散層14の上方の部分の第2の酸化膜24に開口51を形成し、さらに、MIS型容量素子部における下部電極拡散層41上の部分の、第2の酸化膜の上部電極44から間隔をおいた位置に開口52を形成する。ここで、RIE法により多結晶Si膜からなるベース取り出し電極20をエッチングする際には、SiO<sub>2</sub>膜と多結晶Si膜とのエッチング選択比の相違により、開口50、51、52の下方のSiO<sub>2</sub>膜からなる第1の酸化膜15はエッチングされずに残される。

【0077】次に、図5に示すように、npnトランジスタ部における開口30を通じてn型エピタキシャル層2中に例えばB<sup>+</sup>などのp型不純物をイオン注入することにより、開口30の下方にp型のベース層6を形成する。ここで、このベース層6の形成におけるイオン注入条件の一例を挙げると、イオン注入エネルギーを30~50keV、ドーズ量を $5 \times 10^{11} \sim 2 \times 10^{13} \text{ cm}^{-2}$ とする。

【0078】次に、例えばCVD法により、全面に例えばSiO<sub>2</sub>膜からなる絶縁膜を形成することによって、npnトランジスタ部における開口30、50、pnpトランジスタ部における開口51、およびMIS型容量素子部における開口52のそれぞれの内部に絶縁膜を埋め込む。

【0079】次に、熱処理を、例えば900~1000℃の温度で例えば10~60分間行うことにより、np

(11)

特開2000-31160

19

n p nトランジスタ部におけるベース取り出し電極20、p n pトランジスタ部におけるエミッタ取り出し電極21、およびコレクタ取り出し電極22からn型エピタキシャル層2中にそれぞれp型不純物を拡散させる。これによって、n p nトランジスタ部におけるn型エピタキシャル層2の上部にp'型のグラフトベース層7が形成されるとともに、p n pトランジスタ部のn型エピタキシャル層2の上部にp'型のエミッタ層11およびp'型のコレクタ層12が形成される。

【0080】その後、絶縁膜の全面エッチバックを行うことにより、n p nトランジスタ部における開口30の内周面にベース取り出し電極20とエミッタ取り出し電極32とを分離するためのサイドウォール31が形成されるとともに、n p nトランジスタ部における開口50、p n pトランジスタ部における開口51、およびMIS型容量素子部における開口52のそれぞれの内周面にそれぞれサイドウォール53、54、55が形成される。

【0081】次に、図6に示すように、例えばCVD法により全面に多結晶Si膜56を形成した後、この多結晶Si膜56の全面に例えばヒ素(As)などのn型不純物をイオン注入する。ここで、このイオン注入条件の一例を挙げると、イオン注入エネルギーを40~70 keV、ドーズ量を $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-2}$ とする。

【0082】次に、多結晶Si膜56上に例えばSiO<sub>2</sub>からなる例えば300~500 nmの膜厚のキャップ層(図示せず)を形成する。その後、例えばファーネスアニール(Furnace Anneal)などの熱処理を行うことにより、多結晶Si膜56中のn型不純物をベース層6の上部に拡散させ、n'型のエミッタ層8を形成するとともに活性化し、同時にn p nトランジスタ部におけるグラフトベース層7、p n pトランジスタ部におけるコレクタ層11およびエミッタ層12を活性化させる。ここで、このファーネスアニールにおけるアニール条件は、加熱温度を900~1000℃、加熱時間を10~60分とする。なお、ファーネスアニールの代わりにRTA(Rapid Thermal Annealing、急速熱処理)を、加熱温度を1000~1200℃、加熱時間を数秒として行うようにしてもよく、また、これらのファーネスアニールとRTAとを組み合わせて行うようにしてもよい。その後、ウェットエッチングを行うことによりキャップ層を除去する。

【0083】次に、図7に示すように、リソグラフィ工程によりn p nトランジスタ部における多結晶Si膜56上にエミッタ電極形状のレジストパターン(図示せず)を形成する。次に、このレジストパターンをマスクとして例えばRIE法により多結晶Si膜56をエッチングすることにより、エミッタ取り出し電極32を形成する。なお、このとき、n p nトランジスタ部のブラグ

20

拡散層9、p n pトランジスタ部のブラグ拡散層14、MIS型容量素子部の下部電極拡散層41の上方の多結晶Si膜56もエッチングされるが、上述したように、エッチング選択比の相違により、それらは影響を受けない。その後、レジストパターンを除去する。

【0084】次に、リソグラフィ工程により、所定部分に開口を有するレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、例えばRIE法により第2酸化膜24および第1酸化膜15をエッチングする。これにより、n p nトランジスタ部においては、ベース取り出し電極20の上方の部分の第2の酸化膜24にベースコンタクトホール25が形成され、p n pトランジスタ部においては、エミッタ取り出し電極21およびコレクタ取り出し電極22の上方の部分の第2の酸化膜24にそれぞれエミッタコンタクトホール34およびコレクタコンタクトホール36が形成され、MIS型容量素子部においては、上部電極44上にコンタクトホール45が形成される。

【0085】これらのコンタクトホールの形成と同時に、サイドウォール53、54、55および開口50、51、52の周辺の部分の第2の酸化膜24、およびそれらの下方の部分の第1の酸化膜15がそれぞれエッチングされる。このエッチングによって、開口50、51、52のそれぞれの内周面に形成されたサイドウォール53、54、55の形状を反映して、それぞれの内周面にサイドウォール53、54、55の部分と第1の酸化膜15の部分とからなるサイドウォール28、39、48が形成される。

【0086】次に、例えばスパッタリング法により、バリアメタルおよび例えばAlからなる金属膜を順次形成した後、これらの金属膜およびバリアメタルを電極形状に順次パターンニングする。これにより、n p nトランジスタ部においては、下層にバリアメタル26aが設けられたベース電極26、下層にバリアメタル33aが設けられたエミッタ電極33および下層にバリアメタル29aが設けられたコレクタ電極29が形成される。また、p n pトランジスタ部においては、下層にバリアメタル35aが設けられたエミッタ電極35、下層にバリアメタル37aが設けられたコレクタ電極37および下層にバリアメタル40aが設けられたベース電極40が形成される。また、MIS型容量素子部においては、下層にバリアメタル46aが設けられた上部取り出し電極46および下層にバリアメタル49aが設けられた下部取り出し電極49が形成される。

【0087】その後、従来公知の方法により、パッシベーション膜(図示せず)などを形成することにより、図1に示すn p nトランジスタおよびp n pトランジスタと、図2に示すMIS型容量素子とが混載された所望の半導体装置が製造される。

【0088】以上説明したように、この一実施形態によ

(12)

特開2000-31160

Z1

れば、npnトランジスタ部における、コレクタ電極29が埋め込まれて形成される開口27の内周面にサイドウォール28を形成し、pnpトランジスタ部におけるベース電極40が埋め込まれて形成される開口38の内周面にサイドウォール39を形成し、MIS型容量素子部における下部取り出し電極48が埋め込まれて形成される開口47の内周面にサイドウォール48を形成するようにしていることにより、これらのサイドウォール28、39、48およびそれらの壁面に成膜されるバリアメタル29a、40a、49aのカバレッジを向上させることができるので、これらのバリアメタル29a、40a、49aの断線を防止することができる。そのため、上層に成膜されるAlなどの電極材料が、n型エピタキシャル層2と第1の酸化膜15との接触界面に侵入するのを未然に防止することができるので、配線材料の接触界面への侵入による短絡を防止することができる。したがって、高性能で高信頼性の、npnトランジスタ、pnpトランジスタおよびMIS型容量素子が混載された半導体装置を得ることができる。

【0089】以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の一実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0090】例えば、上述の一実施形態において挙げた数値、材料、イオン注入条件はあくまでも例に過ぎず、必要に応じてこれと異なる数値、材料、イオン注入条件を用いてもよい。

【0091】

【発明の効果】以上説明したように、この発明の第1の発明および第2の発明によれば、バイポーラトランジスタにおいて、バリアメタルを介して導電膜が形成される開口の内周面にサイドウォールを設けるようにすることにより、バイポーラトランジスタの電極の下層のバリアメタルのカバレッジを向上させることができ、このバリアメタルの断線を防止することができるので、半導体層と絶縁膜との接触界面への配線材料の侵入、およびこれによる短絡を防止することができ、高性能で高信頼性の半導体装置を得ることができる。

【0092】また、この発明の第3の発明、第4の発明および第5の発明によれば、縦型バイポーラトランジ

Z2

スタのコレクタ領域の上方の部分に形成された開口と、横型バイポーラトランジスタのベース領域の上方の部分に形成された開口および/またはMIS型容量素子の下部電極の上方の部分に形成された開口との内周面に、それぞれサイドウォールを形成するようにしていることにより、縦型バイポーラトランジスタと、横型バイポーラトランジスタおよび/またはMIS型容量素子とが同一の半導体基板上に混載された場合において、バイポーラトランジスタのコレクタ電極と、横型バイポーラトランジスタのベース電極および/またはMIS型容量素子の下部取り出し電極とのそれぞれの下層のバリアメタルのカバレッジを向上させることができ、このバリアメタルの断線を防止することができるので、半導体層と絶縁膜との接触界面への配線材料の侵入、およびこれによる短絡を防止することができ、高性能で高信頼性の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態によるnpnトランジスタおよびpnpトランジスタを示す断面図である。

【図2】この発明の一実施形態によるMIS型容量素子を示す断面図である。

【図3】この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】従来のnpnバイポーラトランジスタを示す断面図である。

【図9】従来技術における問題点を説明するための断面図である。

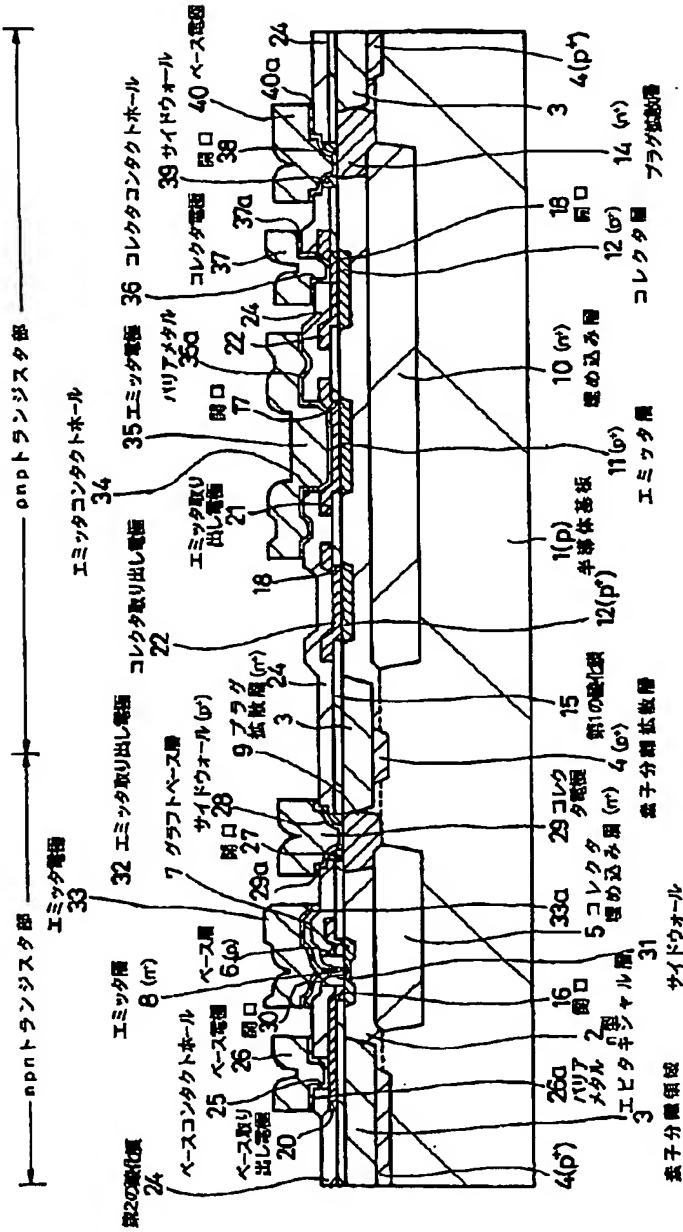
【符号の説明】

1・・・半導体基板、2・・・n型エピタキシャル層、16、17、18、27、38、42、47、50、51、52・・・開口、28、31、39、48、53、54、55・・・サイドウォール

(13)

特開2000-31160

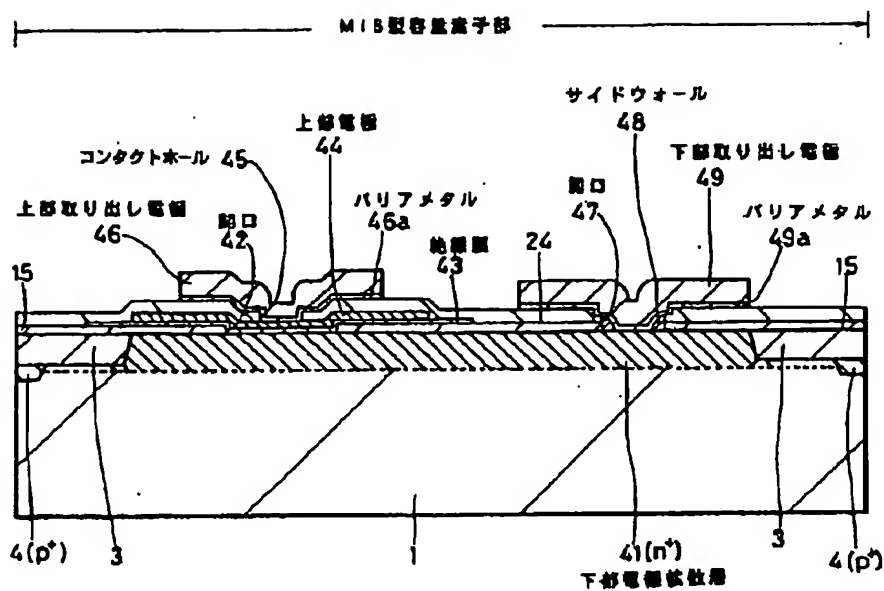
【図1】



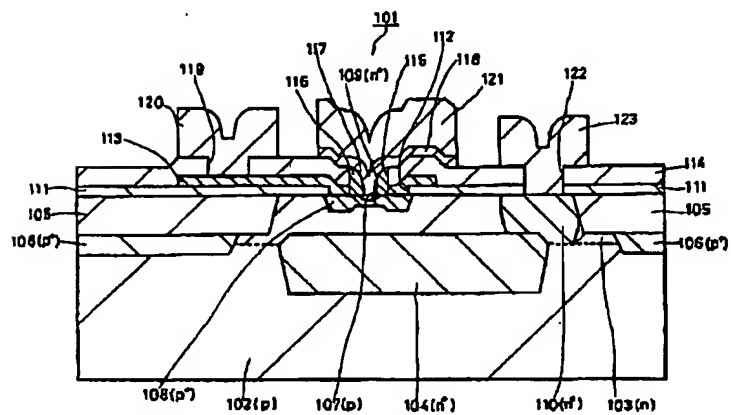
(14)

特開2000-31160

【図2】



【図8】

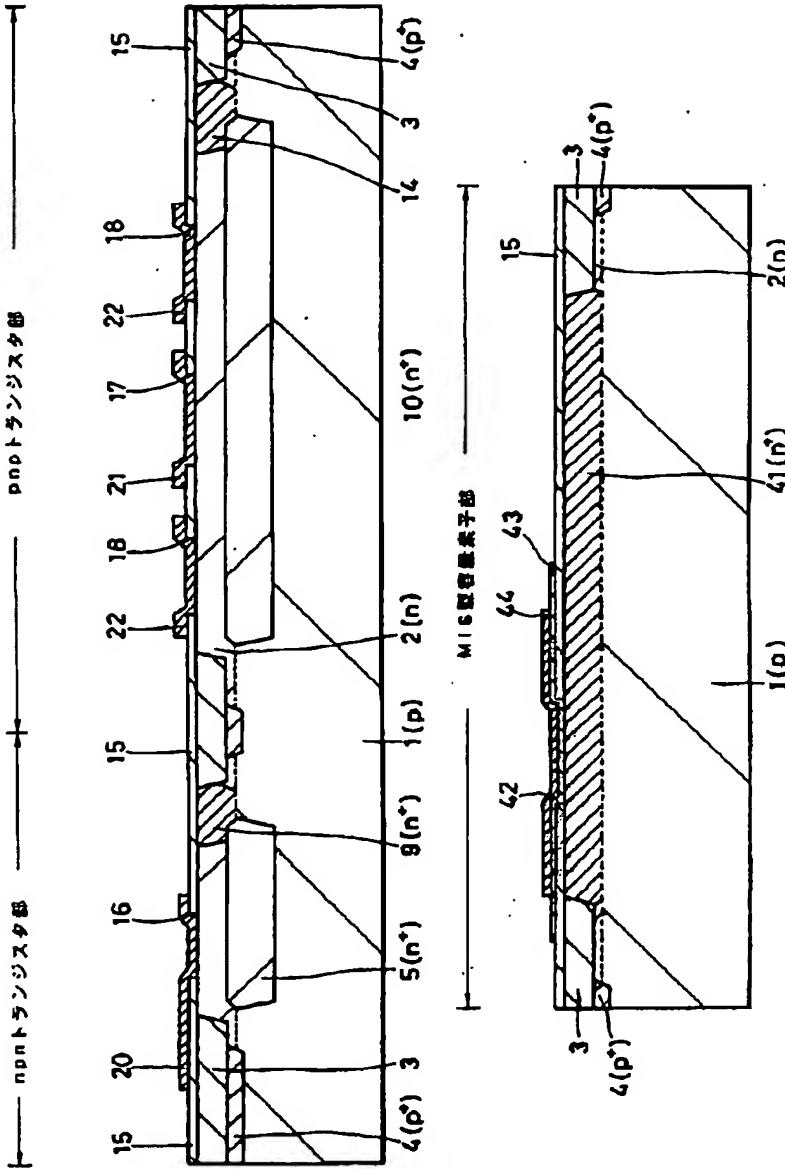




特開2000-31180

(15)

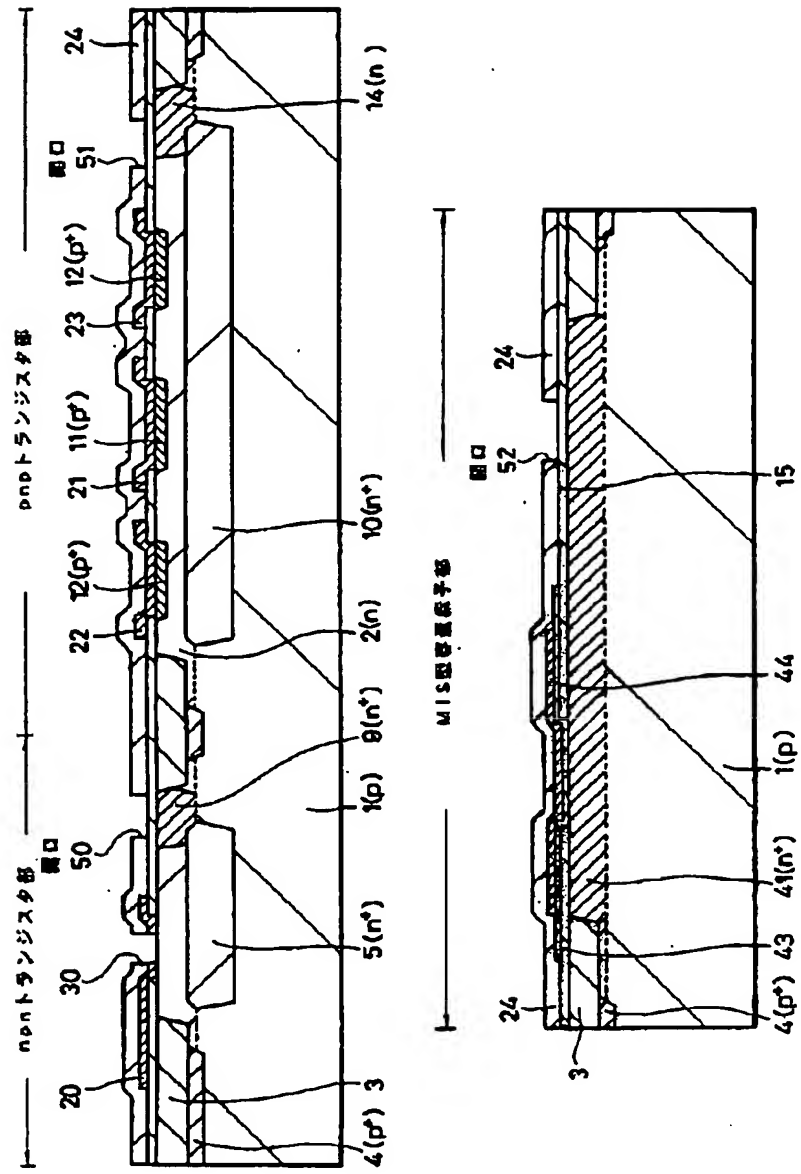
【図3】



特開2000-31160

(15)

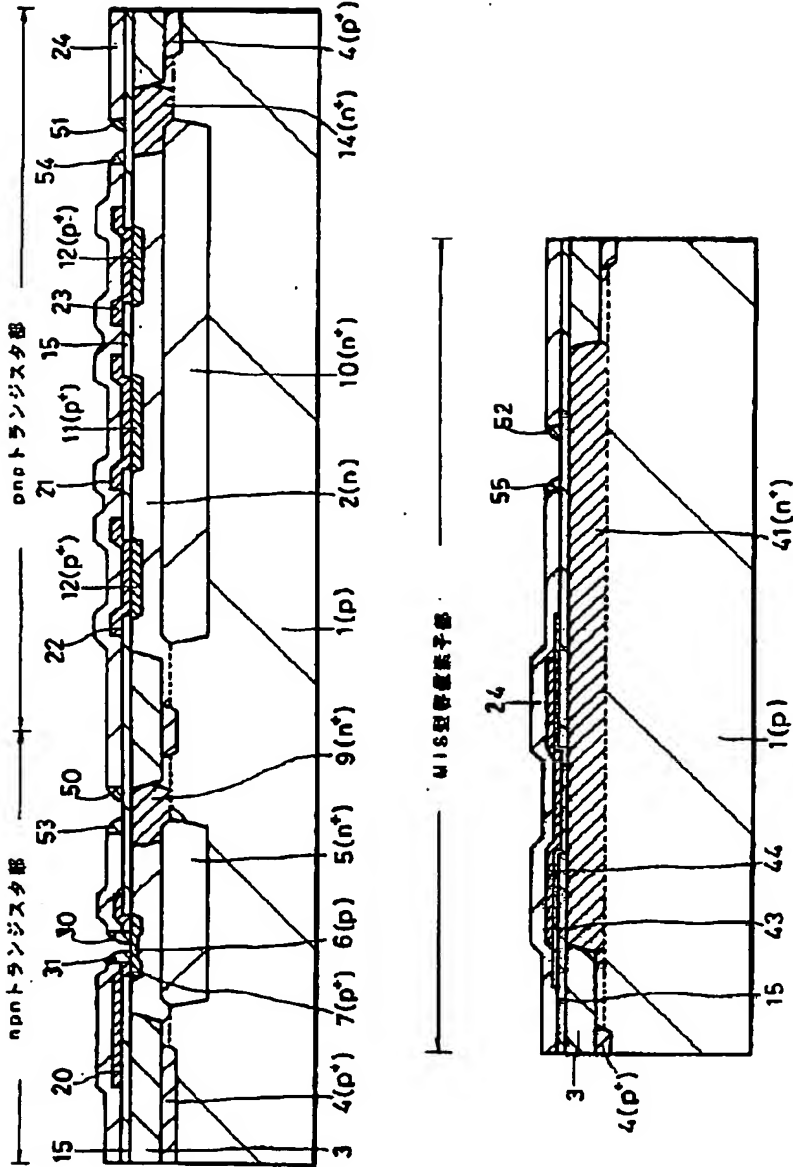
【図4】



(17)

特開2000-31180

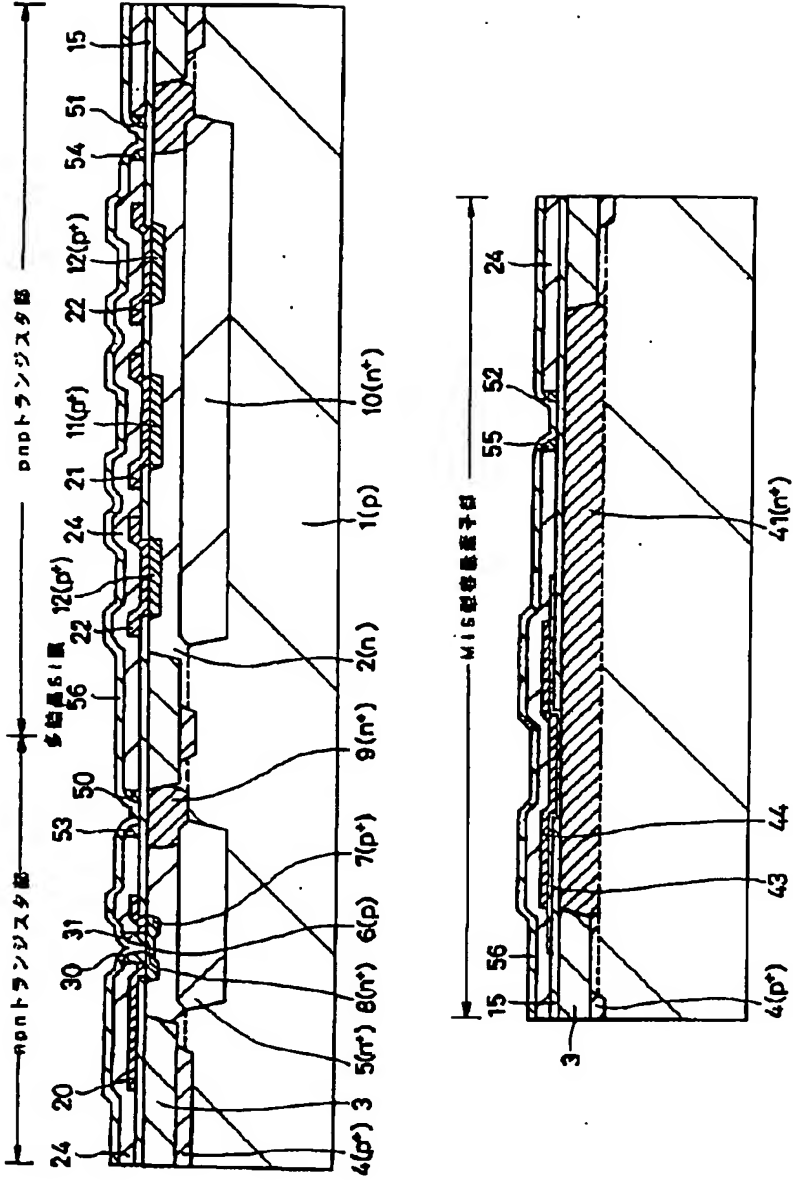
【図5】



(18)

特開2000-31180

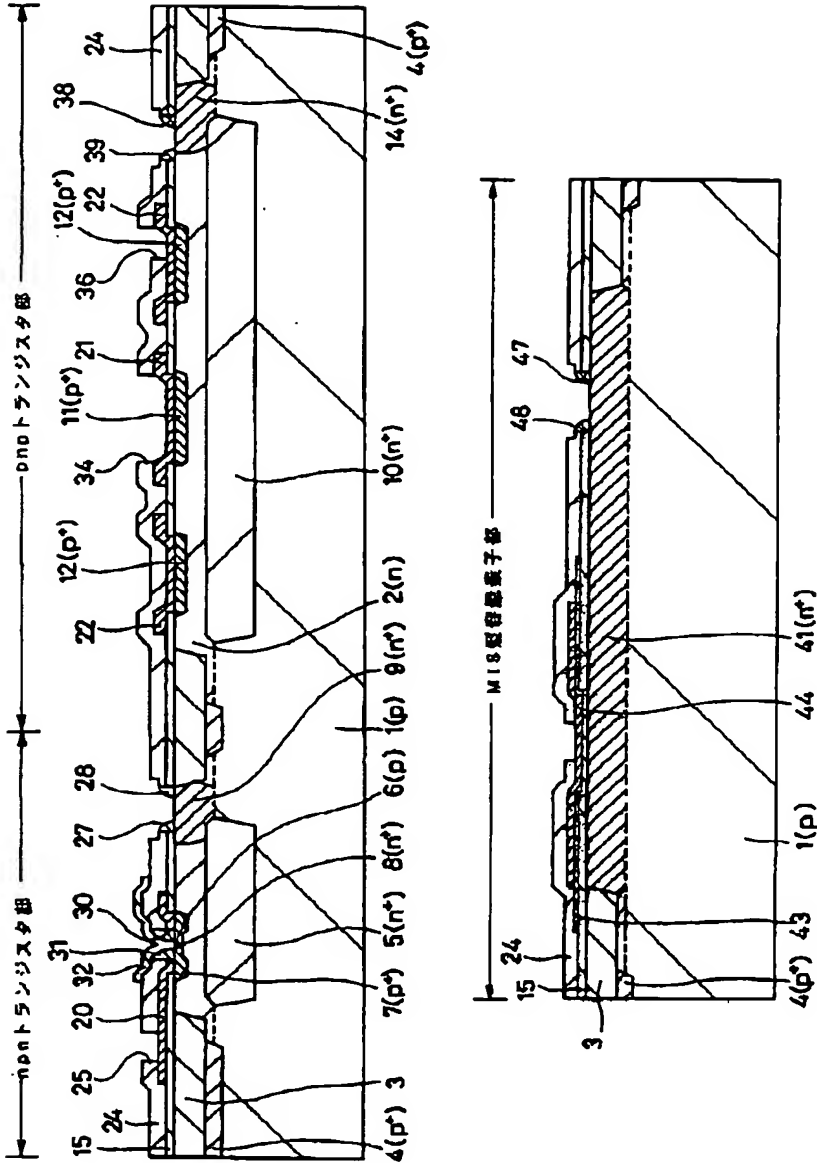
【図6】



(19)

特開2000-31160

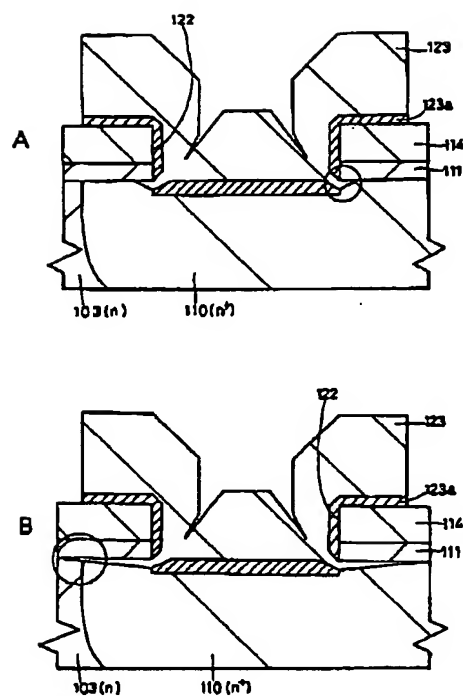
【図7】



(20)

特開2000-31160

【図9】



---

フロントページの続き

Fターム(参考) 5F003 AP03 BA93 BA97 BB06 BB07  
BB08 BC07 BC08 BE07 BE08  
BH12 BH18 BJ03 BJ18 BN01  
BP06 BP12 BP93  
5F048 AA07 BA02 BF01 BF02 BG01  
BG12 BH07 CA03 CA07  
5F082 BA04 BA07 BA36 BC03 BC13  
DA03 DA09 EA15